

Requested Patent JP9017790A

Title: A THIN FILM METAL BARRIER FOR ELECTRICAL INTERCONNECTIONS ;

Abstracted Patent EP0751566, A3 ;

Publication Date: 1997-01-02 ;

Inventor(s):

DEHAVEN PATRICK WILLIAM (US); KLAUS DAVID PETER (US); POLLAR  
JAMES MANLEY III (US); CABRAL CYRIL JR (US); STANIS CAROL L (US);  
EDELSTEIN DANIEL CHARLES (US); EMEKA UZOH CYPRIAN (US) ;

Applicant(s): IBM (US) ;

Application Number: EP19960109354 19960612 ;

Priority Number(s): US19950497065 19950630 ;

IPC Classification: H01L23/532 ;

Equivalents:

ABSTRACT:

An interconnect structure (10) and barrier layer for electrical interconnections is described incorporating a layer of TaN (23) in the hexagonal phase between a first material such as Cu and a second material such as Al, W, and PbSn. A multilayer of TaN in the hexagonal phase and Ta in the alpha phase is also described as a barrier layer. The invention overcomes the problem of Cu diffusion into materials desired to be isolated during temperature anneal at 500 DEG C.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17790

(43) 公開日 平成9年(1997) 1月17日

(51) IntCl <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	R
C 0 1 G 35/00			C 0 1 G 35/00	
H 0 1 L 21/28	3 0 1		H 0 1 L 21/28	3 0 1 R
21/768			21/90	B
23/522			23/52	B
審査請求 未請求 請求項の数24 O L (全 8 頁)				

(21) 出願番号 特願平8-163398

(22) 出願日 平成8年(1996) 6月24日

(31) 優先権主張番号 08/497065

(32) 優先日 1995年6月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー  
ズ・コーポレーションINTERNATIONAL BUSIN  
ESS MACHINES CORPO  
RATIONアメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72) 発明者 シリル・キャプラル・ジュニア

アメリカ合衆国10562 ニューヨーク州オ  
シニングシャーマン・ブレース 4

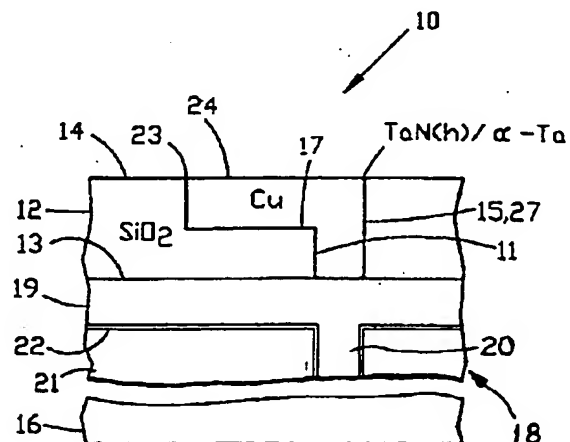
(74) 代理人 弁理士 合田 潔 (外2名)

最終頁に続く

(54) 【発明の名称】 電気的相互接続用薄膜金属バリア層

(57) 【要約】

【課題】 各種金属及び誘電体材料に対して良好な接着性を有する金属拡散バリア層を提供する。

【解決手段】 銅などの第1の材料とAl、W、PbSnなどの第2の材料の間に六方晶相のTa<sub>2</sub>N層を組み込んだ、電気的相互接続用の相互接続構造及びバリア層を開示する。また、六方晶相のTa<sub>2</sub>Nとα相のTaの多層をバリア層として開示する。本発明は、500℃でのアニール中に、分離したい材料中に銅が拡散する問題を解決する。

## 【特許請求の範囲】

【請求項1】 閉じ込めるべき第1の物質と第2の物質との間に置かれ、前記第2の物質を前記第1の物質から分離する、六方晶相Ta<sub>2</sub>N薄膜を含むバリア層。

【請求項2】 前記第1の物質がCu、Cu合金、Al、Al合金、W及びPbSnからなる群から選ばれることを特徴とする、請求項1に記載のバリア層。

【請求項3】 前記第2の物質がSiO<sub>2</sub>、スピノオン・ガラス、Si<sub>3</sub>N<sub>4</sub>、ポリアミド、ダイヤモンド様炭素(DLC)及びフッ素化ダイヤモンド様炭素(F-DLC)、WSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、ならびにPtSiからなる群から選ばれることを特徴とする、請求項1に記載のバリア層。

【請求項4】 六方晶相Ta<sub>2</sub>N薄膜が150~300μohm-cmの抵抗率を有する高配向層であることを特徴とする、請求項1に記載のバリア層。

【請求項5】 前記六方晶相Ta<sub>2</sub>N薄膜が300μohm-cmより高い抵抗率を有する非高配向層であることを特徴とする、請求項1に記載のバリア層。

【請求項6】 前記Ta<sub>2</sub>N層に隣接して形成したTa層をさらに含む、請求項1に記載のバリア層。

【請求項7】 前記Ta層がα相であることを特徴とする、請求項6に記載のバリア層。

【請求項8】 前記Ta層が前記Ta<sub>2</sub>N層上に形成されることを特徴とする、請求項7に記載のバリア層。

【請求項9】 前記Ta層が15~60μohm-cmの範囲の抵抗率を有することを特徴とする、請求項8に記載のバリア層。

【請求項10】 上部及び下部表面と前記上部表面に形成された複数の溝を有し、少なくとも1つの前記溝が前記下部表面まで延びて、第1の絶縁層の下に第2の相互接続構造中の対応する導電性表面を露出させることを特徴とする、第1の絶縁層、

前記複数の溝の側壁及び底部上と前記露出されたそれぞれの導電性表面上に形成された六方晶相Ta<sub>2</sub>Nの層を含むライナ、及び前記複数の溝中に形成され、前記複数の溝を実質的に埋める金属を含む相互接続構造。

【請求項11】 前記金属がCu、Al、W及びそれらの合金から成る群から選ばれることを特徴とする、請求項10に記載の相互接続構造。

【請求項12】 前記第1の絶縁層が、SiO<sub>2</sub>、スピノオン・ガラス、Si<sub>3</sub>N<sub>4</sub>、ポリアミド、ダイヤモンド様炭素(DLC)及びフッ素化ダイヤモンド様炭素(F-DLC)から成る群から選ばれた物質を含むことを特徴とする、請求項10に記載の相互接続構造。

【請求項13】 前記六方晶Ta<sub>2</sub>N層が150~300μohm-cmの範囲の抵抗率を有する高配向層であることを特徴とする、請求項10に記載の相互接続構造。

【請求項14】 前記六方晶Ta<sub>2</sub>N層が300μohm-cmより高い抵抗率を有する非配向層であることを特徴

とする、請求項10に記載の相互接続構造。

【請求項15】 前記ライナが前記六方晶Ta<sub>2</sub>Nに隣接するTa層をさらに含むことを特徴とする、請求項10に記載の相互接続構造。

【請求項16】 前記Ta層がα相であることを特徴とする、請求項12に記載の相互接続構造。

【請求項17】 前記Ta層が15~60μohm-cmの範囲の抵抗率を有することを特徴とする、請求項14に記載の相互接続構造。

【請求項18】 前記相互接続構造が半導体チップ上に形成されることを特徴とする、請求項10に記載の相互接続構造。

【請求項19】 前記相互接続構造がディスプレイ装置上に形成されることを特徴とする、請求項10に記載の相互接続構造。

【請求項20】 SiO<sub>2</sub>層、

多結晶シリコン層、

Ta<sub>2</sub>N(六方晶)層、及び金属層の原子が前記多結晶シリコン層から分離されている金属層を含むMOSTランジスタのチャンネル上のゲート・スタック。

【請求項21】 前記金属がW、Cu、Cu合金、Al、及びAl合金からなる群から選ばれることを特徴とする、請求項20に記載のゲート・スタック。

【請求項22】 SiO<sub>2</sub>層、

多結晶シリコン層、

ケイ化物層、

Ta<sub>2</sub>N(六方晶)層、及び金属層の原子が前記ケイ化物層から分離されている金属層を含むMOSTランジスタのチャンネル上のゲート・スタック。

【請求項23】 前記ケイ化物が、WSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、及びPtSiからなる群から選ばれることを特徴とする、請求項21に記載のゲート・スタック。

【請求項24】 前記金属がW、Cu、Cu合金、Al、及びAl合金から成る群から選ばれることを特徴とする、請求項22に記載のゲート・スタック。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は金属相互接続に関し、詳細には、VLSI及びULSIの金属相互接続、スタッド用、半導体チップ上のCMOSゲート・スタック用、ならびにパッケージ及びディスプレイの電気的相互接続用の金属拡散バリア及びライナに関する。

【0002】

【従来の技術】 VLSI及びULSI半導体チップ上では、通常のチップ配線材料としてアルミニウムまたはアルミニウム合金が用いられている。チップ配線材料として銅または銅合金を取り入れると、アルミニウム及びアルミニウム合金と比べて、チップの特性が改善され信頼性が向上する。しかしながら、銅は下のシリコン基板内

に形成されたデバイス及びそれを取り囲む線後端(BEOL)絶縁体からうまく分離しなければならない。この分離を行うために、即ち銅の拡散を防止するために、例えばダマシーン(Damascene)法で形成されるトレンチなどのパターン化されたBEOL絶縁体上、あるいは例えば銅反応性イオン・エッチング(RIE)または銅マスク付着法によるパターン化されていない絶縁体上に、銅を付着する前に、薄いライナ材料を付着する。この薄膜ライナはまた銅を周囲の誘導体と接着する接着層としても働くものでなければならない。大部分の絶縁体への銅の直接接着は一般に不十分である。

【0003】TiNは銅のバリアとして評価され、SiO<sub>2</sub>中での銅相互接続用のバリアとして文献で報告されている。S-Q. ワン(Wang)の「Barriers against copper diffusion into silicon and drift through silicon dioxide」、MRS Bulletin 19, 30 (1994)には、Si/SiO<sub>2</sub>とCuとの間に配置するためのTiNを含む種々のバリア・システムが示されている。TiNはSiO<sub>2</sub>に対し良い接着性を有する。しかしながら銅はTiNによく接着しない。非常に薄い接着剤またはTiの接着層を使って、TiNへの銅の接着力を高めることができる。しかしながらこのTi層は次の熱処理工程中に銅被膜の導電性を劇的に低下させる。さらにTiNは、化学機械式研磨(CMP)で使用されるある種の銅研磨スラリー中で銅と腐食対を形成することが知られている。

【0004】TiNと異なり、純粋のあるいは酸素でドーパしたTaは、SiO<sub>2</sub>のようなある種の絶縁体によく接着しない。また絶縁体に直接付着した時、高抵抗率のベータ相Taを形成する。さらにTaのCuバリア特性は、ほとんどの温度でAlと接触すると失われる。例えばタンタル、窒化ケイ素及び窒化チタンが銅に対する良好なバリアであることを発見した、拡散バリアの研究が記載されている。C. K. フー(Hu)等のProc. VLSI Multilevel Interconn. Conf. 181 (1986) 所載の論文を参照されたい。Ta薄膜中の酸素が銅の拡散を阻害した可能性があることが報告されている。

【0005】J. Appl. phys. 73, 300 (1993) 所載のL. A. クレベンジャー(Clevenger)等の論文では、付着圧力の影響、Cu/Ta界面におけるin situ酸素の混入、水素及び酸素の汚染、及び銅が浸透した、HV及びUHV電子ビーム付着されたTa薄膜の拡散バリア消失温度における微細構造が研究されている。

【0006】Ta<sub>2</sub>Nは銅の良好なバリアであると報告されているが、BEOL絶縁体及び銅との接着力は比較的乏しい。これとは対照的に、Ta<sub>2</sub>N(N約50%)の接着力は十分であるが、銅のTa<sub>2</sub>Nとの接着力は乏しい。Taの薄層を使用して、Cu BEOLへのTaの接着性能を低下させずに銅のTa<sub>2</sub>Nへの接着力を高めることができる。このような二成分ライナはE. G. コル

ガン(Colgan)及びP. M. フライヤー(Fryer)の米国特許第5281485号に開示されている。しかしながらこのTa<sub>2</sub>Nの抵抗率は最低で1200μohm-cmであり、このため大きなバイアあるいはスタッド抵抗をもたらし、また金属ライナが冗長電流ストラップまたはバスとして機能することが不可能になる。

【0007】底部に約250Åのライナを有するディーブ・サブミクロン・バイア(例えば幅0.5μm未満)では、上述のTaベースのライナの直列抵抗は1~5オームの範囲である。これとは対照的に、銅スタッドの抵抗はTaベースのライナの10%よりも小さい。これらのバイア抵抗はAl(Cu)/Wスタッドのその値と比べて非常に好ましいが、その値を1オーム未満に低減することが望ましい。

【0008】

【発明が解決しようとする課題】本発明の目的は、半導体構造を形成する金属及び種々の誘電体に対して優れた接着性を有し、良好な金属拡散バリアとして作用する、金属相互接続用ライナを提供することである。さらに、そのようなライナを形成するのに適した材料を提供することである。

【0009】

【課題を解決するための手段】本発明によれば、閉じ込めるべき第1の物質と第2の物質との間に位置して第2の物質を第1の物質から分離させる、六方晶相のTa<sub>2</sub>N層を含むバリア層が提供される。第1の物質はCu、Al、W及びPbSnの1つまたは組合せでよい。

【0010】本発明はさらに、WF<sub>6</sub>ガスと第1の物質から分離すべき第2の物質との間に位置する六方晶相のTa<sub>2</sub>N層を提供する。

【0011】本発明はさらに、上部表面及び下部表面と上部表面に形成された複数の溝とを有し、少なくとも1つの溝が、下部表面まで延びて第1の絶縁層の下第2の相互接続構造中の対応する導電性表面を露出させる領域を有する第1の絶縁層、複数の溝の側壁及び底部上と露出したそれぞれの導電性表面上に形成された六方晶相のTa<sub>2</sub>N層を含むライナ、ならびに複数の溝中に形成され、複数の溝を実質的に埋める金属を含む相互接続構造を提供する。

【0012】本発明はさらに、大抵はPb-Snで作られ、良好な拡散バリア特性、BEOL絶縁体への良好な接着性、相互接続金属のこのライナへの良好な接着性、低い抵抗率、及びトレンチ及びバイア中での良好な共形性を同時に達成する、VLSI/ULSI相互接続及びC4はんだバンプ用のライナあるいはバリア層を提供する。相互接続及びスタッドは、アルミニウム、銅、タングステンまたは鉛-スズ合金製のC4はんだボールを含むことができる。

【0013】本発明は、単独またはTaなど他の適切な金属フィルムと組み合わせた薄膜積層体として付着され

る、主として高配向性の、及び非高配向性の(ランダム)六方晶相のTa<sub>2</sub>N(30~60%窒素)(50%までの立方晶相Ta<sub>2</sub>Nを含むことができる)から構成されたライナを提供する。Ta<sub>2</sub>Nは100%六方晶相であることが望ましい。

【0014】前述のライナ材料は、高い保全性バリア、低いストレス、低い抵抗率、ならびに金属及びポリマー、酸化シリコン、BPSG、ダイヤモンド様炭素などの様々な誘電体の双方に対する優れた接着性をもたらし、鉛-スズはんだメタリジをCu及びAlの相互接続から分離する。

【0015】本発明はさらに、Al配線レベルを直接上または下のCu相互接続レベルから分離するための薄膜材料を提供する。

【0016】本発明はさらに、MOSFET(金属酸化物半導体電界効果トランジスタ)ゲート・スタック中で、W、Cu、Cu合金、Al及びAl合金の金属層を接触ケイ化物(WSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>及びPtSi)及び多結晶シリコンから分離するライナを提供する。

【0017】本発明はさらに、存在する金属を、Wの付着用のプレカーサ・ガスとして使用される腐食性のWF<sub>6</sub>などある種のガスから遮蔽するためのライナを提供する。

【0018】本発明はさらに、BEOL配線中のアルミニウムなど金属の先行レベルに対する良好な接触抵抗を与えるライナを提供する。

【0019】本発明はさらに、コリメーション・スパッタリングや化学気相付着(CVD)なしでもTiベースの化合物よりも著しく優れた共形性を与えるライナを提供する。

【0020】本発明はさらに、BEOL相互接続金属を、例えばC4はんだボール中の鉛-スズと分離して合金化または混合するのを防止するための薄膜を提供する。

【0021】本発明はさらに、トレンチ及びバイアBEOL構造に付着された時に良好な共形性を示すライナ材料を提供する。

【0022】本発明はさらに、ライナ材料の化学機械式研磨中またはその後に、Cu、AlまたはWと腐食対を形成しないライナ材料を提供する。

【0023】

【発明の実施の形態】図面、特に図1を参照すると、相互接続構造10及び18の断面図が示されている。相互接続構造10は、下部表面13及び上部表面14を有する絶縁層12を含む。複数の溝またはトレンチ15が絶縁層12の上部表面14に形成されている。複数の溝15は半導体チップ16の配線層に対応するものでよい。半導体チップ16に対する相互接続を完成するためにさらに相互接続を追加することもできる。溝15の底部1

7の選ばれた領域に、絶縁層12の下第2の相互接続構造18の導電性表面との接触を行うためのバイアまたはスタッド開口11が形成されている。

【0024】相互接続構造18は絶縁層21中の溝20に導体19を有する。ライナ22が導体19と溝20の底及び側壁との間に示されている。

【0025】溝15中の側壁27及び底部17上にTa<sub>2</sub>N(六方晶)のライナ23を形成し、それに続いて溝15を実質的に埋めるために金属24を溝15中に形成する。金属24はCu、Al、W及びそれらの合金でよい。金属24はスパッタリング、物理気相付着(PVD)、化学気相付着(CVD)または電解メッキによって形成することができる。ライナ23は窒素雰囲気中でスパッタリングによって形成することができる。ライナ23は例えば上部Ta<sub>2</sub>N(六方晶)に隣接して形成したTaの第2層を含むことができる。絶縁層12及び絶縁層21は、例えばSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、ポリアミドなどのポリマー、ダイヤモンド様炭素(DLC)、及びフッ素化ダイヤモンド様炭素(F-DLC)でよい。

【0026】ライナ23が六方晶相Ta<sub>2</sub>Nの高配向層である場合、抵抗率は150~300μohm-cmの範囲となる。ライナ23が六方晶相Ta<sub>2</sub>Nの非高配向層である場合、抵抗率は300μohm-cmより高くなる。α相のTa層をTa<sub>2</sub>N(六方晶)に隣接して形成する場合、Ta(α相)の抵抗率は15~60μohm-cmの範囲となる。

【0027】図2は相互接続34の断面図である。図2には、例えばSi、SiGe、GeまたはGaAsなどの半導体基板16が示されている。基板16の上には、例えば二酸化シリコンなどの絶縁層35がある。絶縁層35の上には金属24で埋めた溝またはトレンチ38を有する絶縁層36が形成されている。絶縁層36及び金属24は化学機械式研磨(CMP)によって形成された共平面上部表面39とすることができる。絶縁層40が上部表面39上に形成されている。溝またはトレンチ42が絶縁層40中で金属24まで形成されている。ライナ23が溝42の側壁及び底部上と絶縁層40の上部表面43上(図示せず)に形成されている。溝またはトレンチ42は、ライナ23の上及び上部表面43上のライナ(図示せず)の上が金属46で埋められている。過剰の金属46及びライナ23をCMPによって除去すると、図2に示した平面化上部表面43が得られる。図2において、金属24は例えばAl、金属46はタングステンでよい。

【0028】図3は相互接続構造50の断面図である。図3において、半導体基板16は熱酸化によって形成された絶縁層52をその上に有する。絶縁層54が絶縁層52の上部表面53上に形成される。溝及びトレンチ56が絶縁層54中に形成され、金属、例えばAlで埋められる。絶縁層54と金属24はCMPで形成された共

平面の上部表面58を有する。絶縁層12が上部表面58上に形成される。層12は上部表面14を有する。溝15及びバイア11が上部表面14に形成される。ライナ23が溝15の側壁27及び底部17とバイアまたはスタッド11上に形成される。金属24は、溝15及びバイアまたはスタッド11上のライナ23の上に形成される。上部表面14はCMPで形成された平面状である。絶縁層62が上部表面14上に形成される。金属24'を露出するための開口64が層62中に形成される。ライナ23'が開口64の側壁65上及び露出金属24上に形成される。ブランケット(全面付着)金属層66が絶縁層62及び金属24'の上部表面67上に形成される。ブランケット金属層66は配線あるいは相互接続用の金属パターンを形成するために、図示されていないマスクを通してエッチングされる。図3中、金属層66は例えばAlでよい。金属24'は例えばCu、金属24は例えばAlでよい。

【0029】図3に示すように、ライナ23は金属24と24'を分離し、ライナ23'は金属24'と金属66を分離する。

【0030】図4は相互接続構造70の断面図である。図4において、基板16はその上に絶縁層72、例えば二酸化シリコンを有する。相互接続構造12が絶縁層72の上に形成される。絶縁層62が上部表面14上に形成される。金属24'を露出するための開口64が層62中に形成される。ライナ23'が開口64の側壁65上及び露出された金属24'上に形成される。C4接点バンパ74は通常はPb-Snであるが、開口64中のライナ23'上に形成される。C4バンパは相互接続を行うために集積回路チップ上に製造されている。C4バンパは集積回路チップの上に約0.125mmだけ延び、集積回路チップの上部表面の平面に平行な断面が球形または円形であり、その側面から、基板によって支持された別の電極への相互接続が行われるバンパの上部表面まで曲がっている。

【0031】図2ないし図4において、図1または説明中の図より前の図の装置に対応する機能に対して同じ参照記号を使用する。

【0032】図5は物理気相付着(PVD)によって形成されたTa<sub>2</sub>N(六方晶)薄膜のX線回折像のグラフである。高配向及び非配向性のTa<sub>2</sub>N(六方晶)薄膜を作成するために次のPVD装置を用いた。直流モードすなわちDCモードまたは無線周波数モードすなわちRFモードのマグネトロン・システムを用いてTa<sub>2</sub>N(六方晶)薄膜を反応性スパッタ付着した。上述の条件下で作成した高配向及び非配向性のTa<sub>2</sub>N(六方晶)薄膜は、150~800μohm-cmの範囲の抵抗率を有する。図5中、縦軸は強度、横軸は2θを示す。曲線76は2つの薄膜のX線回折像を示す。第1の薄膜は好ましい高配向度を有し、第2の薄膜は非配向性である。曲線

78は約37°で単一ピークを示す。

【0033】図5のX線で測定した高配向Ta<sub>2</sub>N(六方晶)薄膜の透過電子顕微鏡(TEM)回折像は、六方晶相の指標となる環を示し、Ta<sub>2</sub>Nバリアの六方晶構造が確認された。

【0034】図5のX線で測定したTa<sub>2</sub>N(六方晶)薄膜の透過電子顕微鏡(TEM)写真は、大きさが約20~30nmの高配向性六方晶Ta<sub>2</sub>N結晶粒を示した。

【0035】別のTa<sub>2</sub>N(六方晶)の透過電子顕微鏡(TEM)写真は、大きさがやはり約20~30nmのランダム配向性六方晶Ta<sub>2</sub>N結晶粒を示している。

【0036】図6はSiO<sub>2</sub>/Cu/Ta<sub>2</sub>N(六方晶)/Al多層構造の抵抗と温度の関係を示すグラフである。図6中、縦軸は抵抗(オーム/cm<sup>2</sup>)を表し、横軸は温度(℃)を表す。曲線80は温度が上昇する際の抵抗、曲線82は温度が低下する際の抵抗を示している。曲線80及び82は、500℃以上の温度までTa<sub>2</sub>N(六方晶)がCuをAlから分離するのに有効であるとの証拠を与える。

【0037】図7はCuをAlから分離するTa<sub>2</sub>N(六方晶)のライナの断面図である。図7中、相互接続構造が、Al(Cu)層84、SiO<sub>2</sub>絶縁層85、底部及び側壁上にライナ87を備える開口あるいはバイア86と共に示されている。開口86はライナ87の内側をCu88で埋められている。過剰のライナ87及びCu88は、絶縁層85の上部表面89及びCu88の上部表面90を形成するために、CMPによって除去されている。500℃で6時間アニール後のライナ87は無傷でかつ明確であり、Cuがライナ87を通してAl(Cu)層に浸透しなかったことを示している。

【0038】図8はP-MOSFET(P型金属酸化物半導体電界効果トランジスタ)中でケイ化物ゲート接点とWスタッドの間で使用される、本発明開示のTa<sub>2</sub>N(六方晶)バリアを示す断面図である。

【0039】Ta<sub>2</sub>Nは、高抵抗率のβ相Taとは対照的に低い抵抗率のα相Ta(ρ=15~60μohm-cm)のみを生じるように働くとして知られている利点を有する。Ta<sub>2</sub>N(六方晶)を使用することにより、Ta<sub>2</sub>N(六方晶)/α相Ta接合ライナを備えるディーブ・サブミクロン銅バイアのバイア抵抗は0.25~1オームの範囲の抵抗率となる。この抵抗率は、Ta単独あるいは他の物質を使用した従来の銅バイア・システムに比べて約5倍の大幅な改善である。この抵抗率はおそらく幾つかの大手半導体メーカによって現在使用されているAl(Cu)/Wバイア・システムよりも1桁良い。

【0040】Ta<sub>2</sub>N(六方晶)層単独あるいはTa(α層)の第2の層を伴うTa<sub>2</sub>N層を含むバリア層及び相互接続構造について説明し例示したが、当業者にとっては、特許請求の範囲によってのみ限定される本発明の広

い範囲から逸脱することなしに改良及び変更が可能なことは明白であろう。

【0041】まとめとして、本発明の構成に関して以下の事項を開示する。

【0042】(1) 閉じ込めるべき第1の物質と第2の物質との間に置かれ、前記第2の物質を前記第1の物質から分離する、六方晶相Ta<sub>2</sub>N<sub>3</sub>薄膜を含むバリア層。

(2) 前記第1の物質がCu、Cu合金、Al、Al合金、W及びPbSnからなる群から選ばれることを特徴とする、上記(1)に記載のバリア層。

(3) 前記第2の物質がSiO<sub>2</sub>、スピノオン・ガラス、Si<sub>3</sub>N<sub>4</sub>、ポリアミド、ダイヤモンド様炭素(DLC)及びフッ素化ダイヤモンド様炭素(F-DLC)、WSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、ならびにPtSiからなる群から選ばれることを特徴とする、上記(1)に記載のバリア層。

(4) 六方晶相Ta<sub>2</sub>N<sub>3</sub>薄膜が150~300μohm-cmの抵抗率を有する高配向層であることを特徴とする、上記(1)に記載のバリア層。

(5) 前記六方晶相Ta<sub>2</sub>N<sub>3</sub>薄膜が300μohm-cmより高い抵抗率を有する非高配向層であることを特徴とする、上記(1)に記載のバリア層。

(6) 前記Ta<sub>2</sub>N<sub>3</sub>層に隣接して形成したTa層をさらに含む、上記(1)に記載のバリア層。

(7) 前記Ta層がα相であることを特徴とする、上記(6)に記載のバリア層。

(8) 前記Ta層が前記Ta<sub>2</sub>N<sub>3</sub>層上に形成されることを特徴とする、上記(7)に記載のバリア層。

(9) 前記Ta層が15~60μohm-cmの範囲の抵抗率を有することを特徴とする、上記(8)に記載のバリア層。

(10) 上部及び下部表面と前記上部表面に形成された複数の溝を有し、少なくとも1つの前記溝が前記下部表面まで延びて、第1の絶縁層の下に第2の相互接続構造中の対応する導電性表面を露出させることを特徴とする、第1の絶縁層、前記複数の溝の側壁及び底部上と前記露出されたそれぞれの導電性表面上に形成された六方晶相Ta<sub>2</sub>N<sub>3</sub>の層を含むライナ、及び前記複数の溝中に形成され、前記複数の溝を実質的に埋める金属を含む相互接続構造。

(11) 前記金属がCu、Al、W及びそれらの合金から成る群から選ばれることを特徴とする、上記(10)に記載の相互接続構造。

(12) 前記第1の絶縁層が、SiO<sub>2</sub>、スピノオン・ガラス、Si<sub>3</sub>N<sub>4</sub>、ポリアミド、ダイヤモンド様炭素(DLC)及びフッ素化ダイヤモンド様炭素(F-DLC)から成る群から選ばれた物質を含むことを特徴とする、上記(10)に記載の相互接続構造。

(13) 前記六方晶Ta<sub>2</sub>N<sub>3</sub>層が150~300μohm-cmの範囲の抵抗率を有する高配向層であることを特

徴とする、上記(10)に記載の相互接続構造。

(14) 前記六方晶Ta<sub>2</sub>N<sub>3</sub>層が300μohm-cmより高い抵抗率を有する非配向層であることを特徴とする、上記(10)に記載の相互接続構造。

(15) 前記ライナが前記六方晶Ta<sub>2</sub>N<sub>3</sub>に隣接するTa層をさらに含むことを特徴とする、上記(10)に記載の相互接続構造。

(16) 前記Ta層がα相であることを特徴とする、上記(12)に記載の相互接続構造。

(17) 前記Ta層が15~60μohm-cmの範囲の抵抗率を有することを特徴とする、上記(14)に記載の相互接続構造。

(18) 前記相互接続構造が半導体チップ上に形成されることを特徴とする、上記(10)に記載の相互接続構造。

(19) 前記相互接続構造がディスプレイ装置上に形成されることを特徴とする、上記(10)に記載の相互接続構造。

(20) SiO<sub>2</sub>層、多結晶シリコン層、Ta<sub>2</sub>N<sub>3</sub>(六方晶)層、及び金属層の原子が前記多結晶シリコン層から分離されている金属層を含むMOSトランジスタのチャンネル上のゲート・スタック。

(21) 前記金属がW、Cu、Cu合金、Al、及びAl合金からなる群から選ばれることを特徴とする、上記(20)に記載のゲート・スタック。

(22) SiO<sub>2</sub>層、多結晶シリコン層、ケイ化物層、Ta<sub>2</sub>N<sub>3</sub>(六方晶)層、及び金属層の原子が前記ケイ化物層から分離されている金属層を含むMOSトランジスタのチャンネル上のゲート・スタック。

(23) 前記ケイ化物が、WSi<sub>2</sub>、CoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、及びPtSiからなる群から選ばれることを特徴とする、上記(21)に記載のゲート・スタック。

(24) 前記金属がW、Cu、Cu合金、Al、及びAl合金から成る群から選ばれることを特徴とする、上記(22)に記載のゲート・スタック。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の断面図である。

【図2】本発明の第2の実施形態の断面図である。

【図3】本発明の第3の実施形態の断面図である。

【図4】本発明の第4の実施形態の断面図である。

【図5】Ta<sub>2</sub>N<sub>3</sub>(六方晶)薄膜のX線回折像のグラフである。

【図6】SiO<sub>2</sub>/Cu/Ta<sub>2</sub>N<sub>3</sub>(六方晶)/Al層状構造の抵抗と温度の関係を示すグラフである。

【図7】CuをAlから分離するためのTa<sub>2</sub>N<sub>3</sub>(六方晶)のライナの断面図である。

【図8】本発明の第5の実施形態の断面図である。

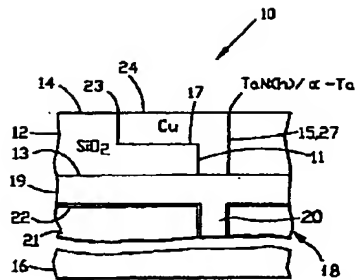
【符号の説明】

10 相互接続構造

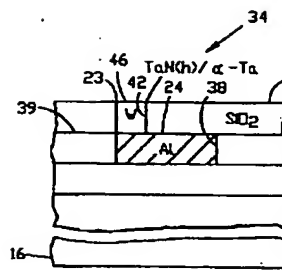
12 絶縁層  
15 溝  
16 半導体チップ  
18 相互接続構造  
19 導体

20 溝  
21 絶縁層  
23 ライナ  
24 金属

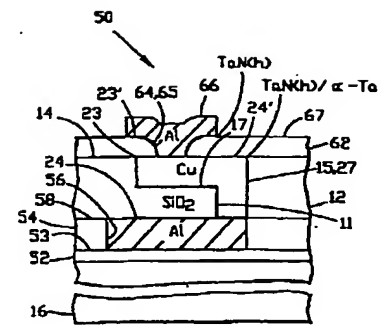
【図1】



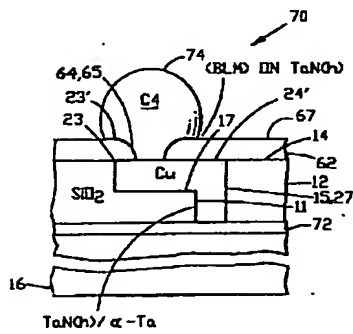
【図2】



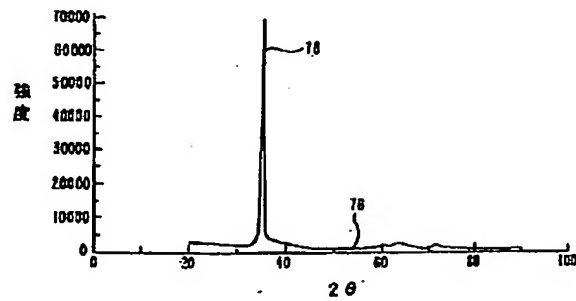
【図3】



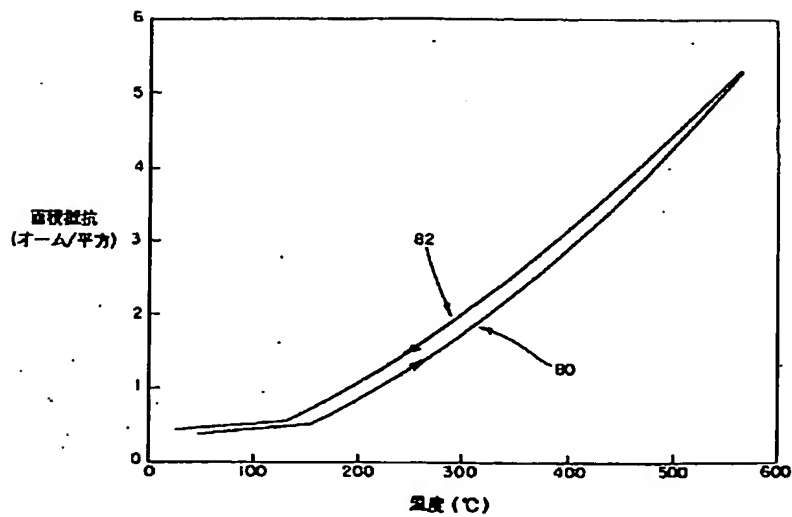
【図4】



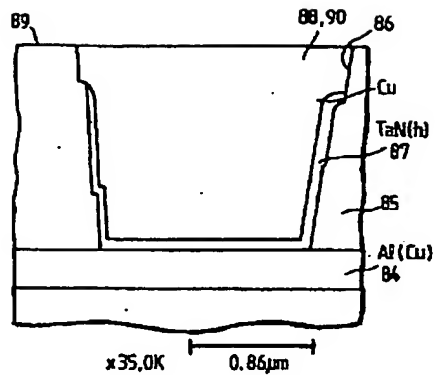
【図5】



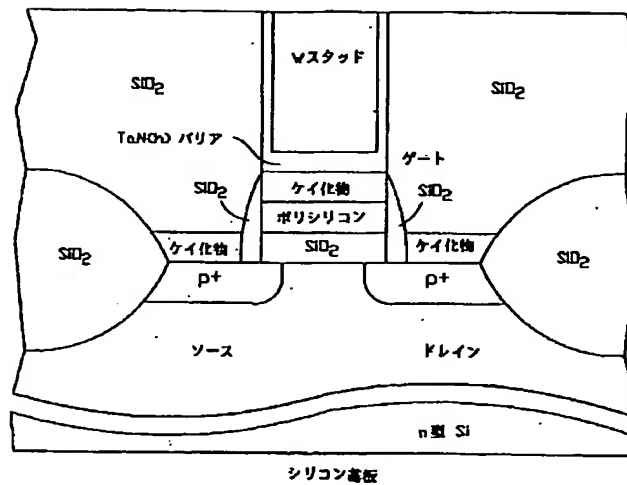
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 パトリック・ウィリアム・デハーヴェン  
アメリカ合衆国12603 ニューヨーク州ボ  
ーキープシー チェリー・ヒル・ドライブ  
203  
(72)発明者 ダニエル・チャールズ・エーデルステイン  
アメリカ合衆国10801 ニューヨーク州ニ  
ュー・ロッシェル グラマシー・ブレース  
15  
(72)発明者 デービッド・ピーター・クラウス  
アメリカ合衆国10598 ニューヨーク州ヨ  
ークタウン・ハイツ リッジ・ストリート  
2444

(72)発明者 ジェームズ・マンリー・ボラード・ザサー  
ード  
アメリカ合衆国06801 コネチカット州ベ  
セル サクソン・ロード 2  
(72)発明者 キャロル・エル・スタニス  
アメリカ合衆国04101 メイン州ポートラ  
ンド イースタン・プロムナード 208  
(72)発明者 シブリアン・エメカ・ウゾフ  
アメリカ合衆国12533 ニューヨーク州ホ  
ーブウェル・ジャンクション ブリッジ・  
ストリート 657